



PATENT

Docket No. JCLA11529

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

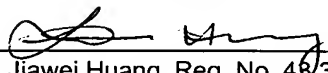
In re application of : BOURYI SZE et al.
Application No. : 10/681,471
Filed : October 07,2003
For : GROUND SHIELD STRUCTURE

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

February 3, 2004

(Date)


Jiawei Huang, Reg. No. 48,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92213288** filed on **July 21, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11529).

Date: 2/3/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

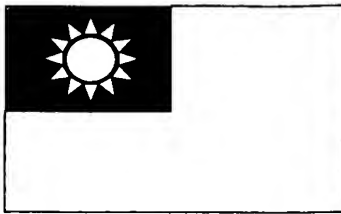
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10/681,471

JCL 11259



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 21 日
Application Date

申請案號：092213288
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 27 日
Issue Date

發文字號：09221090630
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	接地屏蔽結構
	英文	GROUND SHIELD STRUCTURE
二、 創作人 (共4人)	姓名 (中文)	1. 施博議
	姓名 (英文)	1. Bouryi Sze
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



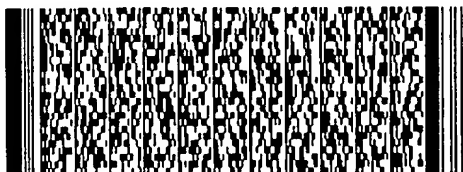
11529twf.pld

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	
	英文	
二、 創作人 (共4人)	姓名 (中文)	2. 鄭念祖
	姓名 (英文)	2. Bob Cheng
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路533號8樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



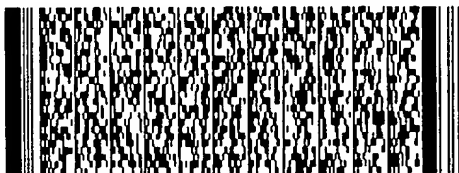
11529twf.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	
	英 文	
二、 創作人 (共4人)	姓 名 (中文)	3. 何志龍
	姓 名 (英文)	3. Chih Long Ho
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 台北縣新店市中正路533號8樓
	住居所 (英 文)	3. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



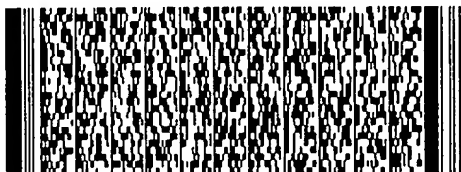
11529twf.prd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	
	英 文	
二、 創作人 (共4人)	姓 名 (中文)	4. 高榮穗
	姓 名 (英文)	4. Felix Kao
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 台北縣新店市中正路533號8樓
	住居所 (英 文)	4. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



11529twf_pid

四、中文創作摘要 (創作名稱：接地屏蔽結構)

一種接地屏蔽結構係適用於一電路結構，此接地屏蔽結構具有許多接地單位胞，其係以週期性及緊密互補的方式排列於一接地面，故可利用這些接地單位胞之間的間隙來阻絕電感電流於接地屏蔽結構上相對產生的渦流，並可增加慢波因子，使得波走得較慢，因而縮小電路佈局所需的面積。此外，此接地屏蔽結構更可降低電路結構之內部線路的能量損耗，且增加接地屏蔽結構之單位面積的電感值及電容值。

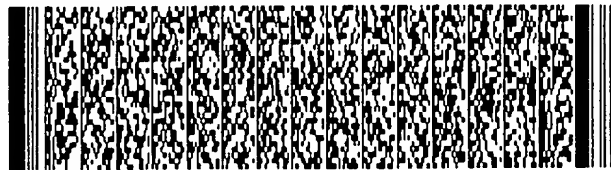
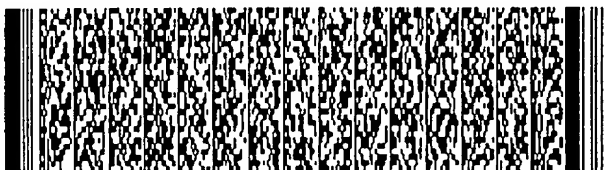
伍、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

201：接地屏蔽結構

英文創作摘要 (創作名稱：GROUND SHIELD STRUCTURE)

A ground shield structure is suited for a circuit structure. The ground shield structure comprises a plurality of ground cells that is arranged on a ground plane periodically, compactly and complementarily. The slots between the ground cells are used to cut the eddy current generated on the ground shield structure. The ground shield structure increases the slow-wave factor to slow the waves so that the area of the circuit layout can be decreased. Besides, the ground shield structure can reduce the energy loss of the inner



四、中文創作摘要 (創作名稱：接地屏蔽結構)

210 : 接 地 單 位 胞

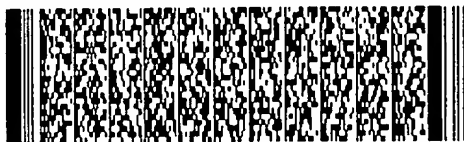
212 : 連 接 部 分

220 : 間 隙

E : 渦 流

英文創作摘要 (創作名稱：GROUND SHIELD STRUCTURE)

circuit of the circuit structure and can increase the values of inductance and capacity per unit area thereon.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

【 新 型 所 屬 之 技 術 領 域 】

本創作是有關於一種接地屏蔽結構 (ground shield structure) , 且特別是有關於一種週期性排列之緊密互補式接地屏蔽結構 (Compact and Complementary Ground Shield Structure , CCGSS) 。

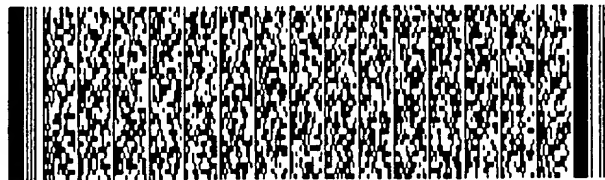
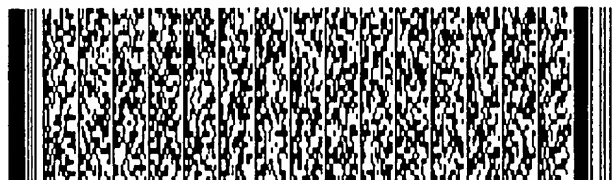
【 先 前 技 術 】

近年來電子科技的突飛猛進，特別是半導體產業的蓬勃發展，使得積體電路元件之積集度 (integration) 不斷地提高，因而大幅降低積體電路 (IC) 元件之體積。同樣地在積體電路元件之積集度不斷地提高的情況之下，原先包含有多個積體電路元件之電路模組將可由單一積體電路元件來加以取代，如此將使電子產品之功能越來越強大，且其體積及重量也越來越小。

為了符合積體電路元件之電路設計，而須在積體電路晶片之內部製作電感器 (inductor) 時，習知技術通常是利用積體電路晶片之內部線路，來直接形成類似螺旋狀的電感線圈，並將電感線圈配設於一基板之上方，故當電流在通過電感線圈時，電流於電感線圈中之流動將會形成電感電流，並對應在電感線圈之下方的基板上產生渦流

(eddy current) ，值得注意的是，渦流之產生將會相對減低電感線圈所產生的電感值。

為了要抵抗渦流 (eddy current) 之產生，習知技術提出一種圖案化接地屏蔽 (Patterned Ground Shield , PSG) 結構，請參考第1圖，其繪示習知之一種接地屏蔽結



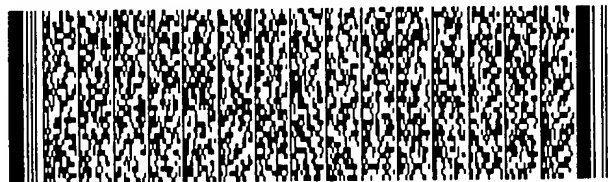
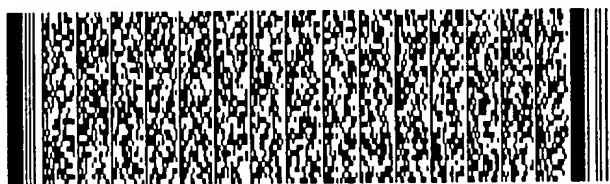
五、創作說明 (2)

構的示意圖。由於接地屏蔽結構100之許多間隙(slot) 120係用以將接地屏蔽結構100分割成許多接地條(ground strip) 110，而這些接地條110乃是根據一中心點，而大致呈直角輻射狀地排列於同一接地面(ground plane)上，並經由導電通孔(via)或其他連接線段來彼此電性連接。此外，這些間隙120更設計得非常狹窄，所以電場(electric field)將不會經由這些間隙120而洩露至接地屏蔽結構100之下方，並利用這些接地條110來作為電場之終止(termination)。

值得注意的是，由於上述之這些間隙120會在接地屏蔽結構100上形成許多斷路(open circuit)，故當接地屏蔽結構100上之一電感線圈(未繪示)通過電流，而於接地屏蔽結構100上產生渦流時，此接地屏蔽結構100之這些位於渦流E之流動路徑上的間隙120將可有效地切斷渦流E，因而降低渦流E對於電感線圈所產生之電感值的影響。然而，就上述之接地屏蔽結構100而言，這些接地條110乃是根據一中心點，而大致呈直角輻射狀地排列於同一接地面上，因此，上述之接地屏蔽結構100僅適用於消除電感電流於接地屏蔽結構100上所產生的渦流E，而無法應用作為其他微波訊號傳遞元件之接地屏蔽，例如傳輸線、波導結構、功率分配器(power divider)、定向性耦合器(directional coupler)或微波濾波器等。

【新型內容】

有鑑於此，本創作之目的是提供一種接地屏蔽結構，



五、創作說明 (3)

用以阻絕電感電流於接地屏蔽結構上相對產生的渦流。

本創作之目的是提供一種接地屏蔽結構，用以增加慢波因子 (slow-wave factor)，使得波走得較慢，因而縮小電路佈局所需的面積。

本創作之再一目的是提供一種接地屏蔽結構，用以增加接地屏蔽結構之單位面積的電感值及電容值。

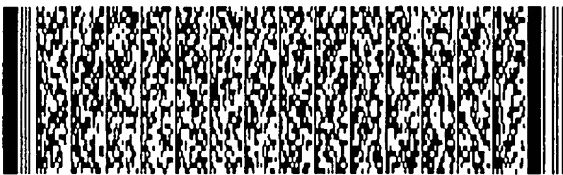
為達本創作之上述目的，本創作提出一種接地屏蔽結構，適用於一電路結構，此接地屏蔽結構包括多個接地單位胞，其週期性及緊密互補地分佈於一接地面上，且任二相鄰之接地單位胞之間具有一間隙。

基於上述，本創作之接地屏蔽結構乃是利用許多接地單位胞，並將之以週期性及緊密互補的方式排列於一接地面，故可利用這些接地單位胞之間隙來阻絕電感電流於接地屏蔽結構上相對產生的渦流，並可增加慢波因子，使得波走得較慢，因而縮小電路佈局所需的面積。此外，此接地屏蔽結構更可降低電路結構之內部線路的能量損耗，且增加接地屏蔽結構之單位面積的電感值及電容值。

為讓本創作之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本創作之較佳實施例的接地屏蔽結構係適用於一電路結構，例如一積體電路晶片、一印刷電路板 (PCB)、一晶片封裝載板 (chip package substrate) 或是其他電子



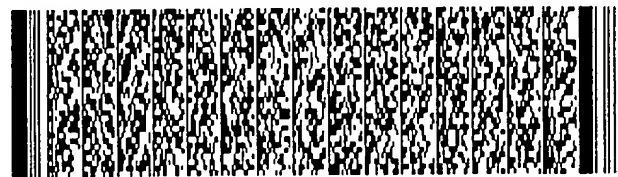
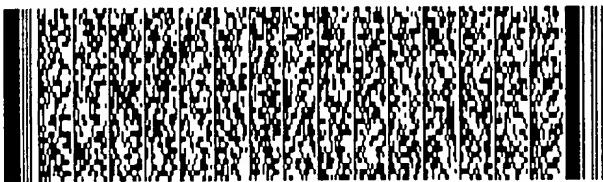
五、創作說明 (4)

元件，用以提供接地屏蔽之功能。

請參考第2A圖，其繪示本創作之較佳實施例之第一種接地屏蔽結構的示意圖。第一種接地屏蔽結構201包括許多個接地單位胞210，其具有相同之橫截面輪廓，例如圖所示之"十"字形，而這些接地單位胞210係週期性及緊密互補地分佈於一接地面上，且任二相鄰之這些接地單位胞210之間具有一間隙220。值得注意的是，這些接地單位胞210所分佈之接地面並不限於平面，亦可以是曲面，使得接地屏蔽結構201能夠包覆一傳輸線。

此外，為了電性連接這些接地單位胞210，使得這些接地單位胞210能夠形成一接地屏蔽，接地屏蔽結構201更包括多個連接部分212（僅繪示其一，並虛線表示），而這些連接部分212分別連接於任二相鄰之接地單位胞210之間。此外，當接地屏蔽結構201係由一電路結構之多層線路層之一所構成時，更可利用這些線路層之間的多個導電孔（via）分別連接這些接地單位胞210，並間接地經由這些線路層而相互電性連接。

當接地屏蔽201位於一電感線圈（未繪示）之下方時，電流於電感線圈中之流動將會形成電感電流，並對應在電感線圈之下方的接地屏蔽結構201上產生一渦流E。然而，為了要抵抗渦流（eddy current）之產生，接地屏蔽結構201之這些位於渦流E之流動路徑上的間隙220將可有效地切斷渦流E，因而降低渦流E對於上述之電感線圈所產生之電感值的影響。此外，這些間隙220更設計得非常狹



五、創作說明 (5)

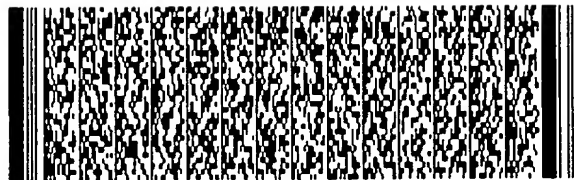
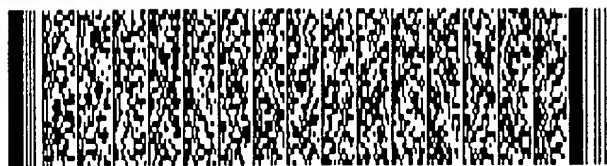
窄，所以接地屏蔽結構上方之電場將不會經由這些間隙120而洩露至接地屏蔽結構201之下方，並利用這些接地單位胞210來作為電場之終止(termination)。

請參考第2B、2C及2D圖，其依序繪示本創作之較佳實施例之另三種接地屏蔽結構的示意圖。除了第2A圖之接地單位胞210的橫截面輪廓係呈"十"字形以外，如第2B圖之接地屏蔽結構202所示，接地單位胞210之橫截面輪廓更可為啞鈴形，又如第2C圖之接地屏蔽結構203所示，接地單位胞210之橫截面輪廓更可為蜂窩狀，即正六邊形。除了上述之單一種橫截面輪廓之接地單位胞210外，如第2D圖所示，更可利用兩種或兩種以上之不同橫截面輪廓的接地單位胞210a、210b來形成緊密互補之接地屏蔽結構204。

本創作之接地屏蔽結構的接地單位胞其橫截面輪廓除了呈現出上述單一或多重之形狀以外，在週期性及緊密互補之分佈排列的條件之下，接地屏蔽結構之接地單位胞的橫截面輪廓尚可為其他形狀，例如三角形及矩形等規則多邊形或其他不規則多邊形。

本創作之接地屏蔽結構的接地單位胞除了以正片(positive)的方式來加以定義以外，亦可利用負片(negative)的方式來加以定義。

請參考第3圖，其繪示本創作之較佳實施例之第五種接地屏蔽結構的示意圖。本創作之接地屏蔽結構300係可構成自一圖案化之接地面，其具有許多呈週期性及規律地排列於其上的間隙310。此外，相較於第2A圖之接地單位



五、創作說明 (6)

胞210，這些間隙310具有相同之橫截面輪廓，或多種不同之橫截面輪廓，但原則上仍不脫離週期性及緊密互補之分布排列的方式。另外，接地屏蔽結構300之本身（即一接地面）並不限於平面狀，亦可以是曲面狀，使得接地屏蔽結構300能夠包覆一傳輸線。

本創作之多個較佳實施例的接地屏蔽結構均可適用於一電路結構，例如一積體電路晶片、一印刷電路板、一晶片封裝載板，用以縮小電路結構之訊號傳送元件，例如（如：傳輸線、波導結構、功率分配器Power divider、定向性耦合器Directional coupler、微波濾波器）的面積，提升品質因素。另外，本創作之較佳實施例的接地屏蔽結構更可適用於小型電子元件，例如低溫共燒陶瓷電容（Low Temperature Ceramic Capacitor，簡稱LTCC）等，用以提供接地屏蔽之功能。

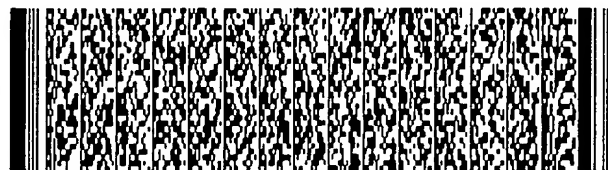
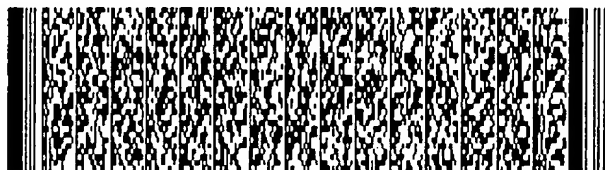
綜上所述，本創作之緊密互補式接地屏蔽結構至少具有下列優點：

（1）本創作之接地屏蔽結構之這些接地單位胞間的這些間隙可增加慢波因子，使得波走得較慢，因而縮小電路佈局所需的面積。

（2）本創作之接地屏蔽結構係可降低電路結構之內部線路的能量損耗。

（3）本創作之接地屏蔽結構係可增加接地屏蔽結構之單位面積的電感值及電容值。

（4）本創作之接地屏蔽結構屬係以週期性及緊密互



五、創作說明 (7)

補的方式排列其接地單位胞，故可輕易地整合至積體電路晶片、印刷電路板及晶片封裝載板的製程，不需額外的製程。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知之一種接地屏蔽結構的示意圖。

第2A、2B、2C及2D圖依序繪示本創作之較佳實施例之四種接地屏蔽結構的示意圖。

第3圖繪示本創作之較佳實施例之第五種接地屏蔽結構的示意圖。

【圖式標示說明】

100：接地屏蔽結構

110：接地條

120：間隙

201、202、203、204：接地屏蔽結構

210、210a、210b：接地單位胞

212：連接部分

220：間隙

300：接地屏蔽結構

310：間隙

E：渦流



六、申請專利範圍

1. 一種接地屏蔽結構，適用於一電路結構，該接地屏蔽結構至少包括：

複數個多邊形接地單位胞，週期性及緊密互補地分佈於一接地面上，且任二相鄰之該些接地單位胞之間具有一間隙。

2. 如申請專利範圍第1項所述之接地屏蔽結構，更包括至少一連接部分，其連接於任二相鄰之該些接地單位胞之間。

3. 如申請專利範圍第1項所述之接地屏蔽結構，其中該些接地單位胞具有相同之橫截面輪廓。

4. 如申請專利範圍第1項所述之接地屏蔽結構，其中該些接地單位胞具有複數種不同之橫截面輪廓。

5. 如申請專利範圍第1項所述之接地屏蔽結構，其中該接地面係為平面。

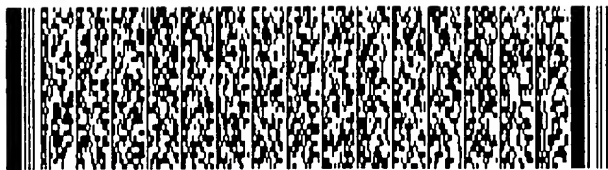
6. 如申請專利範圍第1項所述之接地屏蔽結構，其中該接地面係為曲面。

7. 一種接地屏蔽結構，適用於一電路結構，該接地屏蔽結構至少包括：

一接地面，具有複數個多邊形間隙，其週期性及緊密互補地分佈於該接地面上。

8. 如申請專利範圍第7項所述之接地屏蔽結構，其中該些間隙具有相同之橫截面輪廓。

9. 如申請專利範圍第7項所述之接地屏蔽結構，其中該些間隙具有複數種不同之橫截面輪廓。



六、申請專利範圍

10. 如申請專利範圍第7項所述之接地屏蔽結構，其中該接地面係為平面。

11. 如申請專利範圍第7項所述之接地屏蔽結構，其中該接地面係為曲面。

12. 一種接地屏蔽結構，適用於一電路結構，該接地屏蔽結構至少包括：

一接地面，具有複數個多邊形接地單位胞，其週期性及緊密互補地分佈於該接地面上。

13. 如申請專利範圍第12項所述之接地屏蔽結構，其中該些多邊形接地單位胞係分別為該接地面之一部分。

14. 如申請專利範圍第13項所述之接地屏蔽結構，更包括至少一連接部分，其連接於任二相鄰之該些接地單位胞之間。

15. 如申請專利範圍第12項所述之接地屏蔽結構，其中該些多邊形接地單位胞係分別為該接地面上之間隙。

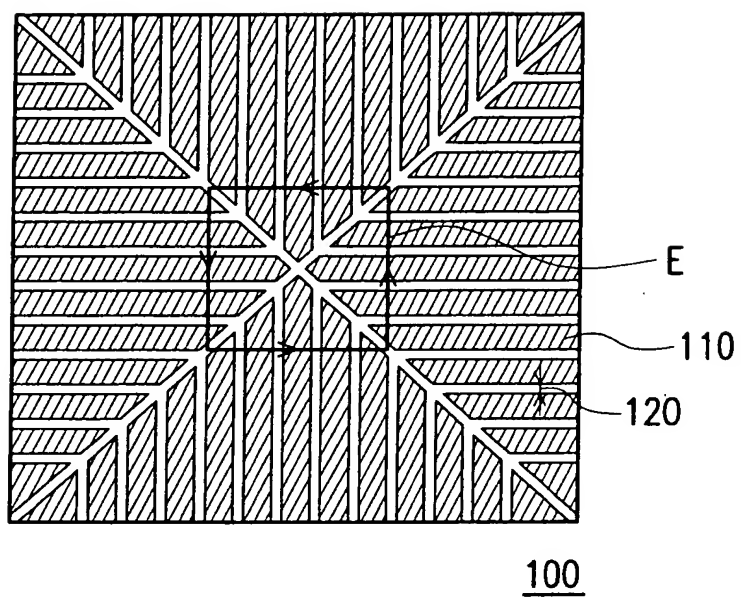
16. 如申請專利範圍第12項所述之接地屏蔽結構，其中該些多邊形接地單位胞具有相同之橫截面輪廓。

17. 如申請專利範圍第12項所述之接地屏蔽結構，其中該些多邊形接地單位胞具有複數種不同之橫截面輪廓。

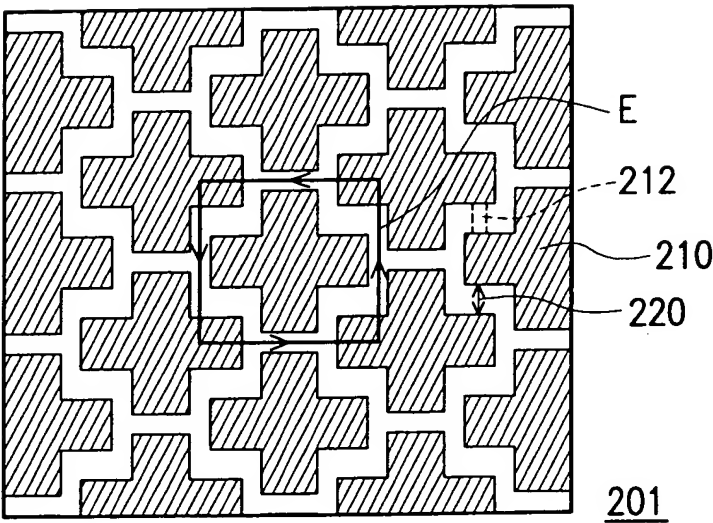
18. 如申請專利範圍第12項所述之接地屏蔽結構，其中該接地面係為平面。

19. 如申請專利範圍第12項所述之接地屏蔽結構，其中該接地面係為曲面。

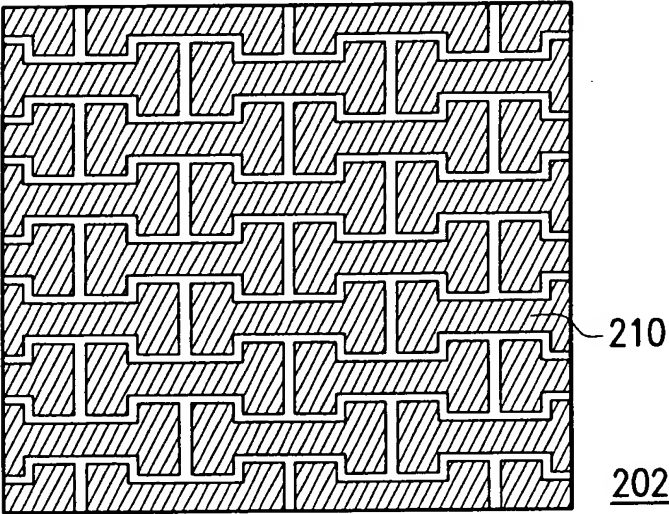




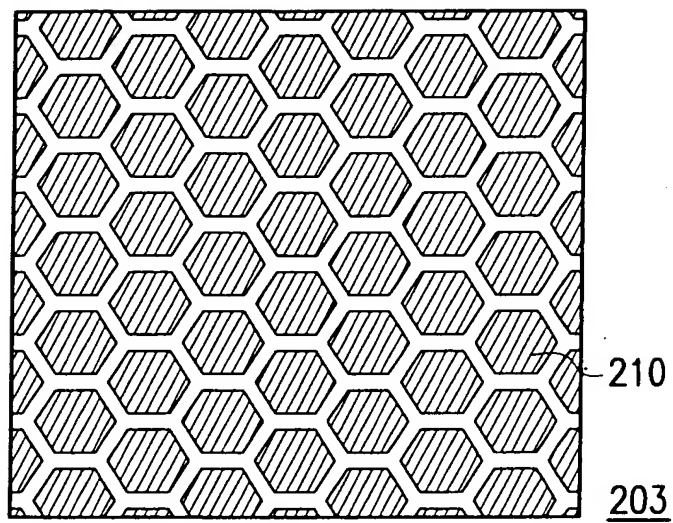
第 1 圖



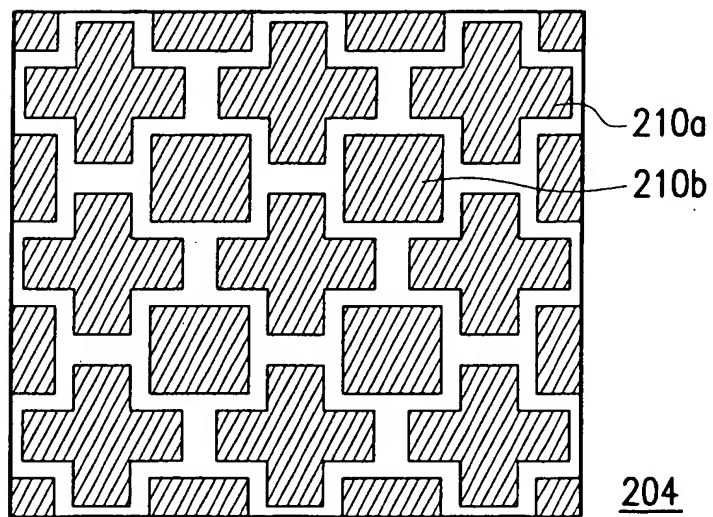
第 2A 圖



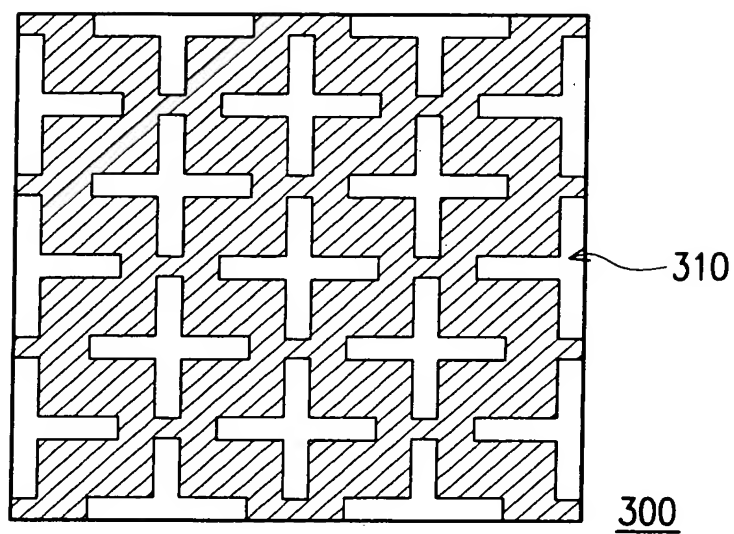
第 2B 圖



第 2C 圖

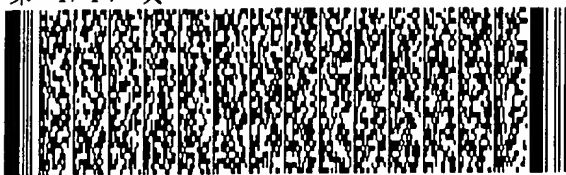


第 2D 圖



第 3 圖

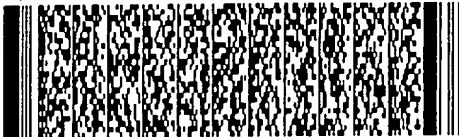
第 1/17 頁



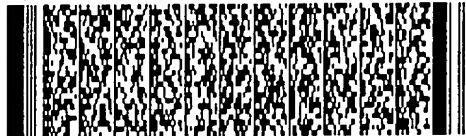
第 2/17 頁



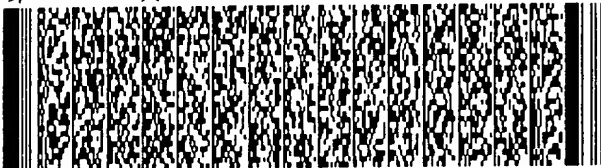
第 3/17 頁



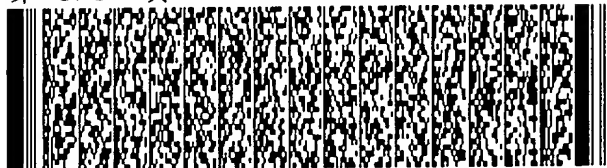
第 4/17 頁



第 5/17 頁



第 5/17 頁



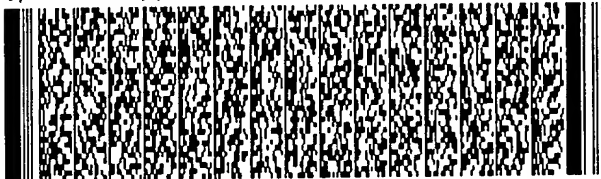
第 6/17 頁



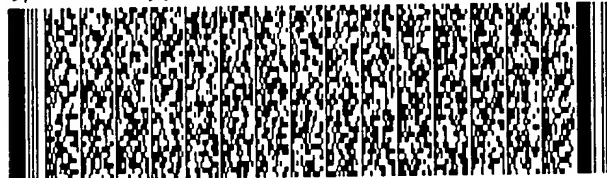
第 7/17 頁



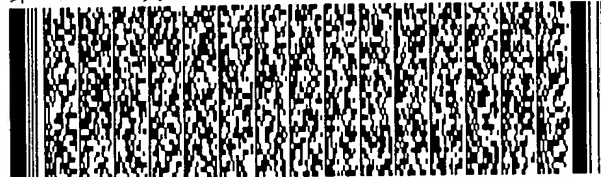
第 8/17 頁



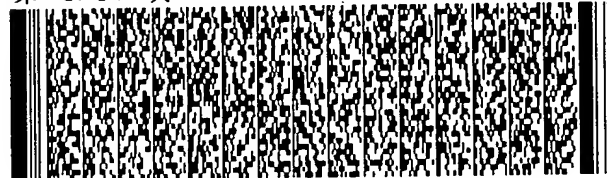
第 8/17 頁



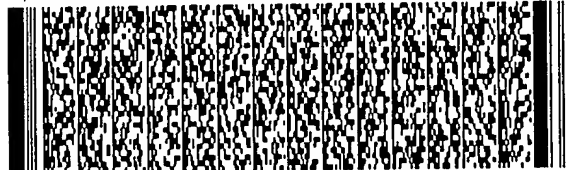
第 9/17 頁



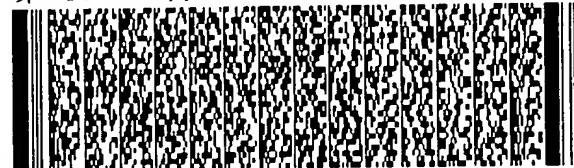
第 9/17 頁



第 10/17 頁



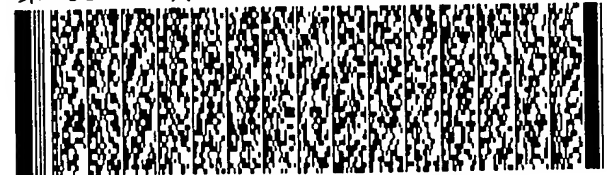
第 10/17 頁



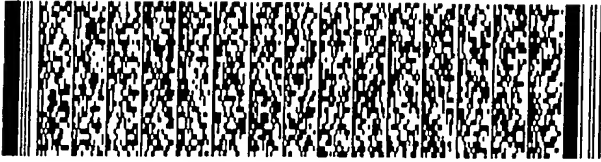
第 11/17 頁



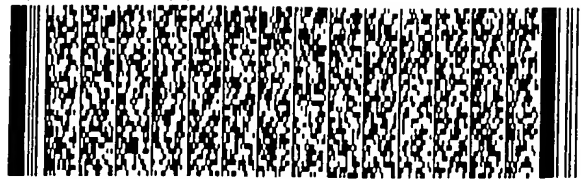
第 11/17 頁



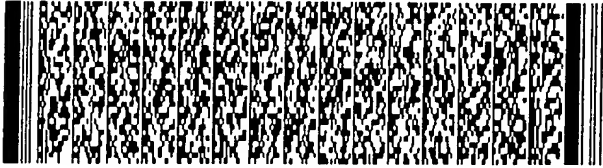
第 12/17 頁



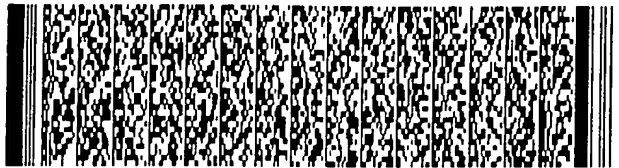
第 12/17 頁



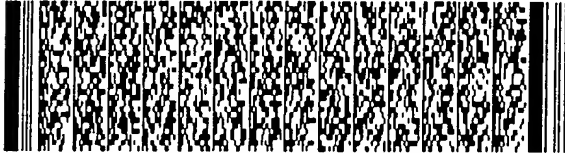
第 13/17 頁



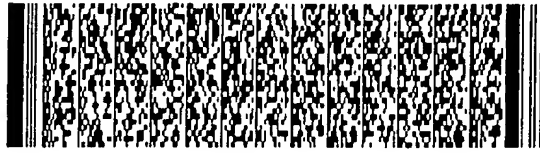
第 13/17 頁



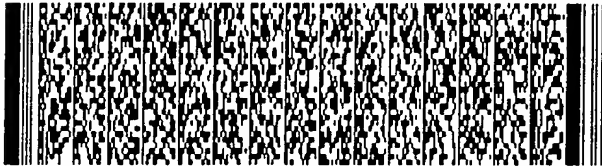
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

